

## 32 通道高精度时间数字转换电路设计

段 霖, 曾 云

(湖南大学 物理与微电子科学学院, 湖南 长沙 410082)

**摘 要:** 介绍了一种在 FPGA 中基于 Wave Union 技术而实现的 32 通道高精度时间数字转换器(time-to-digital convertor, TDC)电路. 利用加法器进位链的进位延迟, 输入击中前沿产生 wave union 送到进位链-寄存器阵列结构中做多次测量, 有效地细分了进位链中的超宽码(ultra-wide bins), 提高了时间间隔测量精度. 经过初步的时序仿真和硬件测试, 验证结果表明该 TDC 电路基本满足设计要求.

**关键词:** 时间数字转换; 现场可编程门阵列; Wave Union; VME 总线

**中图分类号:** TL812

**文献标识码:** A

**文章编号:** 1000-7180(2014)04-0148-04

## Design of 32-channel and High-resolution TDC Circuit

DUAN Lin, ZENG Yun

(College of Physics and Microelectronics Science, Hunan University, Changsha 410082, China)

**Abstract:** A 32-channel and high-resolution Wave Union time-to-digital converter (TDC) implemented in FPGA is presented. Utilizing time delay in carry chain of adders, leading edge of input hit launches a “wave union” into the carry chain-register array structure, in which multiple measurements are made to effectively subdivide the ultra-wide bins and improve measurement resolution. Timing simulation and hardware testing results show that the TDC circuit basically fulfills the design requirements.

**Key words:** TDC; FPGA; Wave Union; VME bus

### 1 引言

在大型高能物理实验中, 飞行时间作为鉴别带电粒子的重要参数, 其测量精度需要精确到亚纳秒级甚至皮秒量级. 而时间数字转换(Time-to-Digital Converter, TDC)电路正是精密时间间隔测量中的核心模块. 随着数字集成电路技术的发展成熟, 高分辨率 TDC 多采用超大规模集成电路来实现, 具体分为 ASIC 和 FPGA 两类. 基于 ASIC 实现的 TDC 可获得比 FPGA 更高的时间分辨率. 然而 ASIC 设计复杂、开发成本高, 多应用于大型科学研究和科学实验中, 例如中科院高能物理所研制的北京谱仪三期(BESIII)上的电子学系统, 所使用的时间测量芯片 HPTDC 正是基于 ASIC 技术开发的. 近年来, 得益于 FPGA 产业的迅速发展, FPGA 已经可以部分取代 ASIC 来实现 TDC 设计. 基于 FPGA 的 TDC

设计能有效地缩短研发周期, 大大减小系统的规模, 降低设计成本, 提高设计灵活性、可靠性且无流片风险, 极具研究和开发的价值<sup>[1]</sup>. 2003 年, 美国费米加速器国家实验室高级工程师吴进远先生首次提出使用 FPGA 的加法器级联成进位链, 利用进位链的进位延迟实现对击中信号的时间内插, 从而实现高精度的时间数字转换, 该方法称为 WUTDC(Wave Union TDC). 本设计采用 Altera 公司 Cyclone III 系列的 FPGA 芯片 EP3C25F324C6N, 搭建了一套基于 WUTDC 原理的 32 通道高精度 TDC 测量系统.

### 2 基本原理

时间测量采用“粗”计数(Coarse Counting)和“细”时间测量(Fine Time Measurement)相结合的方法. 其基本思想是将时间测量分为以下两部分: “粗”时间测量采用高性能的二进制 Gray 码计数器

运用直接计数法粗测时间信息中时钟周期的整数倍部分;而“细”时间测量采用“Wave Union”技术实现,即对待测时间信号中小于一个时钟周期的部分运用延迟线内插法进一步细测量,实现高精度时间分辨.图1是FPGA中实现时间数字转换的结构图.寄存器阵列、粗计数器以及存储器RAM由同一个CLK时钟驱动.当有击中信号时,击中检测逻辑输出高电平使RAM的写使能WR有效,驱动存储器保存粗计数值和已编码的细测量值,粗细测量值结合在一起即为完整的20位待测时间间隔信息<sup>[2]</sup>.

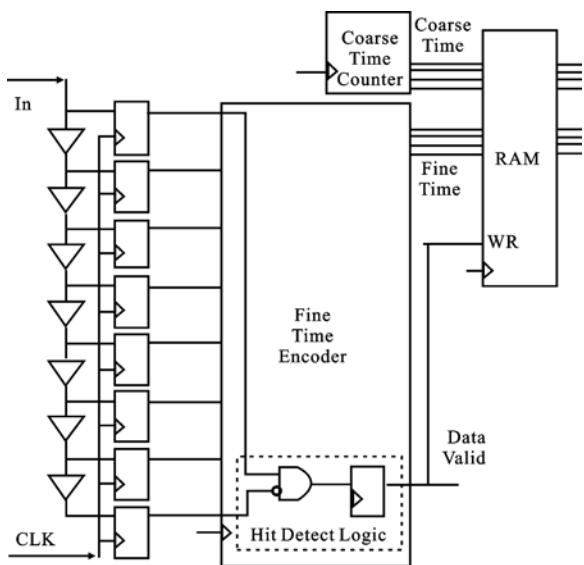


图1 FPGA内实现时间数字转换

Wave Union技术的基本思想是将待测时间信号引入到FPGA内加法器进位连线级联成的延迟链中,利用进位操作的固有延迟实现对待测信号的时间内插,进而获得高精度的时间数字转换.所谓Wave Union,其原理可视为外部击中信号驱动着由加法器输出和组成的某种固定的“0-1”序列在进位链中向后传递<sup>[3]</sup>。“Wave Union”在任意时刻的位置信息由与加法器进位链直接相连的寄存器阵列所保存,后续的细编码电路找到两个0-1跳变的位置,就找到了这一序列的首与尾,也就意味着击中信号传递到了相应的位置.

基于ASIC设计的TDC能精确控制其内部延迟单元的延迟时间,而FPGA实现的TDC,其延迟单元的延时收敛性却状况不佳,呈现出较为明显的DNL(微分非线性)特征,这主要是由于FPGA中LAB(逻辑阵列块)的结构所导致.当进位链中的输入信号通过LAB边界(或半-LAB边界)时,LAB之间以及LAB内部的间隔额外增加的延时引发了周期性超宽码(ultra-wide bins)的产生<sup>[4]</sup>.

一般hit只有一个上升沿,当它进入延时链内,假如正好落入ultra-wide bin(超宽码)内,这时候TDC就无法识别hit在此bin内的微小移动.wave union利用延时链的不一致性来让其自我切割,每个hit会产生多个沿在延时链内传递.通过设计各沿之间的间隔,即使hit落入超宽bin,当信号移动很小的距离时,其它一个或多个沿就会从链的窄bin中移出,从而有效地平衡其bin宽<sup>[5]</sup>,其原理如图2所示.

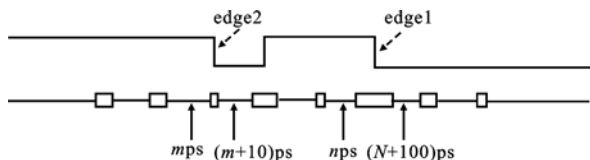


图2 wave union 细分 ultra-wide bins 的原理

### 3 系统软硬件设计

基于上述的设计思想,本设计搭建了一个32通道TDC测试电路,使用Mentor Graphics公司开发的PCB设计工具Mentor Expedition Enterprise 2005软件进行电路原理图和PCB板级设计.系统结构组成如图3所示.包含前端信号输入模块、TDC\_FPGA模块、VME总线接口模块、时钟模块以及电源管理模块等部分.电路中所有关键的信号走线,包括TDC的输入、输出信号以及晶振产生的系统时钟信号均采用低摆幅、低噪声、高传输速率的LVDS(低电压差分信号)信号标准.

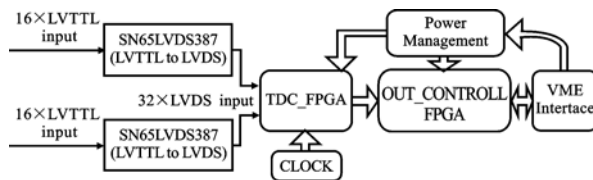


图3 32通道TDC电路结构框图

TDC\_FPGA模块是整个时间测量系统的核心模块,基于wave union技术构建时间内插电路进行细时间测量,正是在这块FPGA芯片中实现的.

#### 3.1 系统时钟管理模块

TDC要用LVDS时钟来驱动,同时用作输出控制的FPGA芯片也需要时钟来对TDC输出的数据进行采样,这就要求系统时钟应当是源同步的.系统所需的各种时钟是由PLL(锁相环)模块对晶振产生全局时钟进行倍频、分频及相移操作而获得,使器件内部时钟与外部输入时钟同步,提供系统的时间管理方案.

FXO-LC726有源晶振产生50 MHz LVDS标

准的时钟信号,作为 TDC 外部时钟信号输入,此时钟经过 altpll0 模块进行分频与倍频而得到 250 MHz、62.5 MHz、50 MHz 和 2 MHz 四个时钟信号,250 MHz 时钟又通过 altpll1 模块产生 31MHz 的时钟,这些时钟供给 TDC 各功能模块实现时间数字转换. PLL 时钟管理模块在 Quartus 软件中的设计框图如图 4 所示.

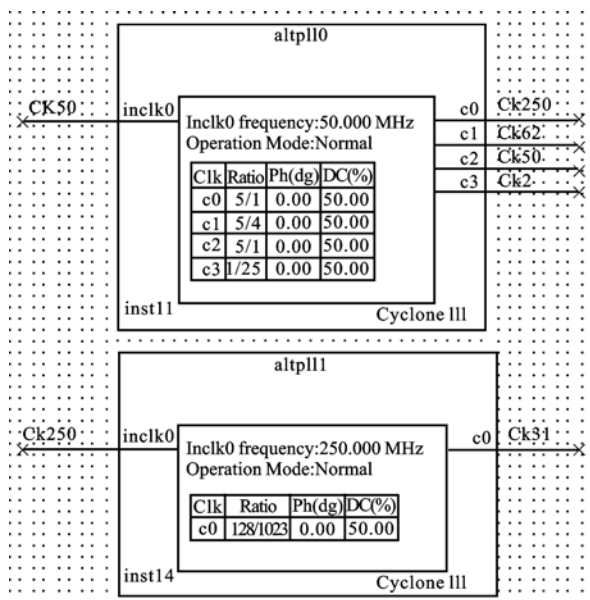


图 4 Quartus 实现的 PLL 模块设计框图

### 3.2 VME 总线接口模块

本设计采用 VME 总线技术实现 TDC 的数据读出,VME 机箱使用 6U(160 mm×233 mm)的规格.设计使用另一块 EP3C25F324C6N 的 FPGA 芯片实现 TDC 数据的输出控制,来完成 LVDS 串行码流数据的接收、处理和缓存工作.同时,它作为从设备,与主设备 VME 总线控制器通过背板总线进行数据传输来实现通信<sup>[6]</sup>.

### 3.3 电源管理模块

本设计中一共要用到 5 V、3.3 V、2.5 V、1.2 V 四种电源.其中,FPGA 内核电压 VCCINT 和 PLL 数字电压使用 1.2 V 电源,FPGA 的 IO 电压 VC-CIO 和 PLL 模拟电压使用 2.5 V 电源.

考虑到尽量避免纹波以及尖峰脉冲对直流输出电源的干扰,设计选用线性电源为整个电路提供电源输入.采用如下所述的电源解决方案:将 VME 机箱提供的 5 V 电源进行去耦滤波得到 5 V 数字电源;将 VME 机箱提供的 3.3 V 电源进行去耦滤波尽可能地消除其纹波后,再通过电源转换芯片 LT1764-2.5 与 TPS74401KTW 分别转换为 2.5 V 和 1.2 V 的电源.

### 3.4 TDC 模块的阻抗匹配

高速数字电路中信号传输带来的传输线效应不容忽视.当传输线的终端负载阻抗与传输线的特征阻抗不匹配时,传输线上会发生信号反射,负载端将一部分电压反射回源端,进而导致信号出现过充、下冲、振荡和串扰等现象,严重影响信号完整性的质量.本设计中 TDC\_FPGA 芯片的 32 通道输入信号及输出给其后 FPGA 芯片的信号,再加上晶振提供的系统时钟是最重要的几条信号线,它们都必须采用 LVDS 标准进行传输.由于单端传输线的阻抗为 50 Ω,差分信号线阻抗 100 Ω,为消除信号反射,保障电路中这几个最重要信号的质量,电路板布线时按照差分信号线特征阻抗 100 Ω 的标准做终端阻抗匹配<sup>[7]</sup>.

### 3.5 数据读出设计

利用 VME 总线来实现 TDC 数据的读出,采用 Verilog HDL(硬件描述语言)在控制输出的 FPGA 芯片中完成逻辑设计,使用工具包括 FPGA 开发工具 Quartus II 12.0 与 FPGA 仿真工具 ModelSim-Altera 软件.

TDC 输出的数据是经过 8 b/10 b 编码的串行码流.通过读取 8 b/10 b 解码后每个数据包中的有效信息部分,就能得到外部输入信号的上升沿时刻、下降沿时刻或脉冲宽度的信息.整体数据处理及读出方案的框图如图 5 所示.

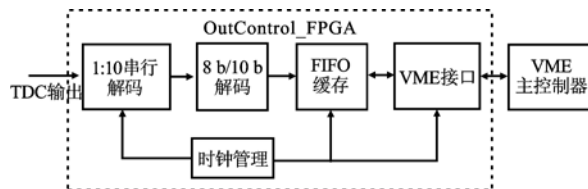


图 5 TDC 数据读出的框图

## 4 系统测试

本设计搭建的测试环境由 32 通道 TDC 测试板、6U VME 机箱、Concurrent Technology 公司的单板机 VP327 VME 主控制器、Agilent 公司的信号产生器 33250A、Tektronix 公司的逻辑分析仪 TLA614、LeCroy 公司的示波器 64Xs 和有源探头以及若干同轴电缆所构成.

信号产生器产生 25 MHz LVTTTL 标准的方波驱动前端信号输入的 LVDS 驱动器 SN65LVDS387 芯片产生一对差分信号,送入 TDC 时间测量通道内完成时间数字转换,示波器测得的 TDC 输入输出信号波形如图 6 所示.

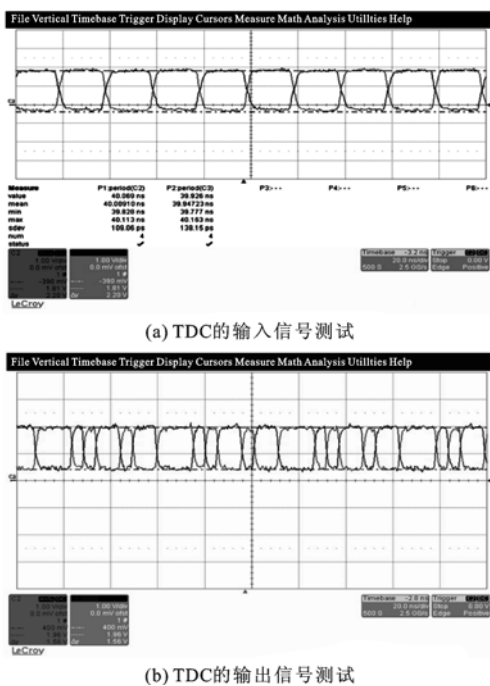


图6 TDC的输入与输出信号波形图

采用逻辑分析仪 TLA614 捕捉信号来验证 VME 主从设备之间能否正常通信,数据能否正确地传输到 VME 总线上. TLA614 捕获的 VME 总线读写时序如图 7 所示,其结果符合 VME 总线的 A24/D32 读写时序规范,说明 VME 主从设备之间能正常通信.

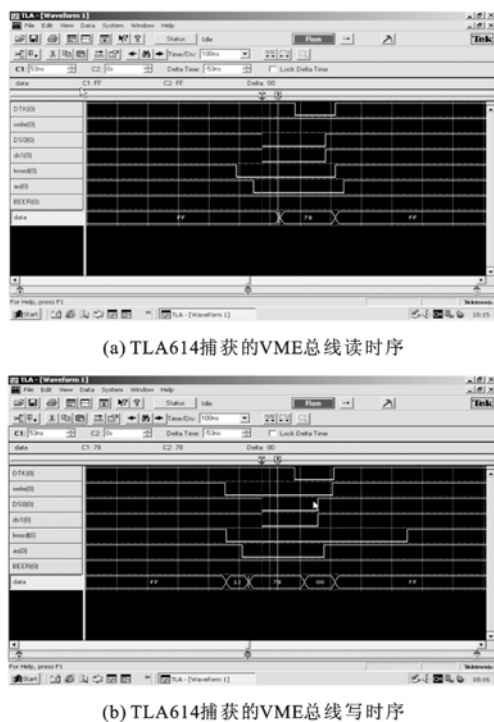


图7 VME总线读写时序图

将信号产生器产生的输入测试方波的频率固定

为 40MHz,通过 VME 主控制器读出单个通道内进行时间测量的一组数据,从而得到一个样本空间的统计直方图,如图 8 所示.经过软件计算得到 TDC 时间测量精度的标准差为 48.25 ps,标准差的均方根即为此 TDC 电路的 RMS(有效值)分辨率,其值为 34.12 ps.

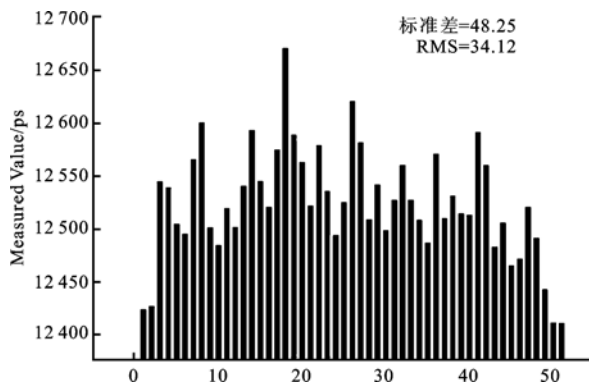


图8 样本空间分布的柱状图

## 5 结束语

文中探讨基于 FPGA 运用 Wave Union 技术通过多沿测量细分进位链中超宽码的高精度 TDC 实现方案.通过集成多达 32 个时间测量通道,能够在一定程度上提高时间测量分辨率.时序仿真和初步的硬件测试结果表明,该 TDC 电路基本达到预期设计指标.后期将进一步优化设计,以期实现更准确的时间间隔测量.

## 参考文献:

- [1] 许春香, 时伟. 基于 FPGA 的高精度时间数字转换电路设计[J]. 微计算机信息, 2009, 25(1-2):200-210.
- [2] Jinyuan Wu. On-chip process for the wave union TDC Implemented in FPGA[C]// IEEE Real Time Conference. Beijing:IEEE,2009:209-212.
- [3] Ji Qi, Zhi Deng. A 20ps Resolution wave union FPGA TDC with on-chip real time correction[C]// Proceedings of the 2000 IEEE Nuclear Science Symposium Conference Record Knoxville, TN:IEEE,2010:396-399.
- [4] Jinyuan Wu. The 10-ps Wave Union TDC: Improve FPGA TDC Resolution beyond Its Cell Delay[C]//Proceedings of the IEEE Nuclear Science Symposium Conference Record Presden, Germany:IEEE,2008:3440-3446.
- [5] Jinyuan Wu. An FPGA Wave Union TDC for Time-of-Flight Applications[C]//Proceedings of the 2009 IEEE Nuclear Science Symposium Conference Record. Orlando, FL:IEEE,2009:299-304.

(下转第 155 页)

